

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/019291

International filing date: 16 December 2004 (16.12.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2003-435501
Filing date: 26 December 2003 (26.12.2003)

Date of receipt at the International Bureau: 10 February 2005 (10.02.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

16.12.2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 2 月 2 6 日
Date of Application:

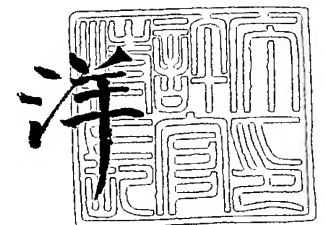
出 願 番 号 特 願 2 0 0 3 - 4 3 5 5 0 1
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 4 3 5 5 0 1]

出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):

2 0 0 5 年 1 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特 2 0 0 5 - 3 0 0 4 0 1 4

【書類名】 特許願
【整理番号】 2054051195
【提出日】 平成15年12月26日
【あて先】 特許庁長官 殿
【国際特許分類】 G11C 11/00
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 村岡 俊作
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 小佐野 浩一
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 高橋 健
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 下田代 雅文
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100077931
 【弁理士】
 【氏名又は名称】 前田 弘
【選任した代理人】
 【識別番号】 100094134
 【弁理士】
 【氏名又は名称】 小山 廣毅
【選任した代理人】
 【識別番号】 100110939
 【弁理士】
 【氏名又は名称】 竹内 宏
【選任した代理人】
 【識別番号】 100113262
 【弁理士】
 【氏名又は名称】 竹内 祐二
【選任した代理人】
 【識別番号】 100115059
 【弁理士】
 【氏名又は名称】 今江 克実
【選任した代理人】
 【識別番号】 100117710
 【弁理士】
 【氏名又は名称】 原田 智雄
【手数料の表示】
 【予納台帳番号】 014409
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1

【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0217869

【書類名】 特許請求の範囲

【請求項 1】

メモリ回路を初期化する方法であって、

前記メモリ回路は、

第 1 の端子と第 2 の端子との間に直列に接続された第 1 および第 2 の可変抵抗体を備え

、前記第 1 の可変抵抗体は、

前記第 1 の端子と第 3 の端子との間に接続され、前記第 1 の端子と前記第 3 の端子との間に印加されるパルス電圧の極性に応じてその抵抗値を増加／減少させるものであり、

前記第 2 の可変抵抗体は、

前記第 3 の端子と前記第 2 の端子との間に接続され、前記第 3 の端子と前記第 2 の端子との間に印加されるパルス電圧の極性に応じてその抵抗値を増加／減少させるものであり

、前記初期化方法は、

前記第 1 および第 2 の可変抵抗体が未だパルス電圧の印加を受けたことがない初期状態において、前記第 1 の端子と前記第 3 の端子との間に第 1 の極性の第 1 のパルス電圧を、前記第 3 の端子と前記第 2 の端子との間に第 2 の極性の第 2 のパルス電圧をそれぞれ少なくとも 1 回与えるステップ (a) と、

前記ステップ (a) によるパルス電圧の印加の後に、前記第 1 の端子と前記第 3 の端子との間および前記第 3 の端子と前記第 2 の端子との間のいずれか一方にステップ (a) において与えられた極性と逆の極性の第 3 のパルス電圧を少なくとも 1 回与えるステップ (b) とを備える、

ことを特徴とする方法。

【請求項 2】

請求項 1 において、

前記ステップ (a) において与えられる第 1 および第 2 のパルス電圧 (の極性) は、

前記第 1 の端子の電位のほうが前記第 3 の端子の電位よりも高くかつ前記第 3 の端子の方が前記第 2 の端子の電位よりも高い、または、前記第 1 の端子の電位の方が前記第 3 の端子の電位よりも低くかつ前記第 3 の端子の電位の方が前記第 2 の端子の電位よりも低い

、ことを特徴とする方法。

【請求項 3】

請求項 1 において、

前記ステップ (a) において与えられる第 1 および第 2 のパルス電圧 (の極性) は、

前記第 1 の端子の電位のほうが前記第 3 の端子の電位よりも高くかつ前記第 2 の端子の方が前記第 3 の端子の電位よりも高い、または、前記第 1 の端子の電位の方が前記第 3 の端子の電位よりも低くかつ前記第 2 の端子の電位の方が前記第 3 の端子の電位よりも低い

、ことを特徴とする方法。

【書類名】明細書

【発明の名称】メモリ回路の初期化方法

【技術分野】

【0001】

本発明は、与えられるパルス電圧の極性に応じてその抵抗値を増加／減少させる可変抵抗体を用いた不揮発性メモリ回路を初期化する方法に関する。

【背景技術】

【0002】

近年、電子機器におけるデジタル技術の進展に伴い、画像などのデータを保存するために、不揮発性メモリ素子の要望が大きくなってきており、さらに記憶素子の大容量化、書き込み電力の低減、書き込み／読み出し時間の高速化、長寿命化の要求がますます高まりつつある。現在、不揮発性メモリ素子としては半導体トランジスタのゲート部分に浮遊ゲートを設け、その浮遊ゲート内に電子を注入するメカニズムを用いて不揮発性を実現したフラッシュメモリが実用化され、デジタルカメラやパーソナルコンピュータの外部記憶素子として多く用いられている。

【特許文献1】米国特許第6,204,139号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、フラッシュメモリは書き込み電圧が高い、書き込み／消去時間が遅い、書き換え寿命が短い、大容量化（素子の微細化）が困難等の多くの課題を有している。そのため、現在これらフラッシュメモリの課題を解決すべく、強誘電体を用いた半導体メモリ（FeRAM）、TMR（トンネルMR）材料を用いた半導体メモリ（MRAM）、相変化材料を用いた半導体メモリ（OUM）等の新規な不揮発性メモリ素子の開発が盛んに行われている。しかしながらこれらのメモリ素子も、FeRAMに関しては素子の微細化が困難、MRAMに関しては書き込み電圧が高い、OUMに関しては書き換え寿命が短い等の課題を有しており、不揮発性メモリ素子に対する全ての要望を満たす記憶素子がないのが現状である。さらに、それらを克服するための新しい記録方法としてヒューストン大学からパルス電圧によりペロブスカイト構造酸化物の抵抗値を変化させる手法が開発された（特許文献1）が、メモリ素子としての安定な動作および製造歩留まりに大きな課題を有するのが現状である。

【課題を解決するための手段】

【0004】

本発明による初期化方法は、メモリ回路を初期化する方法であって、前記メモリ回路は、第1の端子と第2の端子との間に直列に接続された第1および第2の可変抵抗体を備え、前記第1の可変抵抗体は、前記第1の端子と第3の端子との間に接続され、前記第1の端子と前記第3の端子との間に印加されるパルス電圧の極性に応じてその抵抗値を増加／減少させるものであり、前記第2の可変抵抗体は、前記第3の端子と前記第2の端子との間に接続され、前記第3の端子と前記第2の端子との間に印加されるパルス電圧の極性に応じてその抵抗値を増加／減少させるものであり、前記初期化方法は、前記第1および第2の可変抵抗体が未だパルス電圧の印加を受けない初期状態において、前記第1の端子と前記第3の端子との間に第1の極性の第1のパルス電圧を、前記第3の端子と前記第2の端子との間に第2の極性の第2のパルス電圧をそれぞれ少なくとも1回与えるステップ（a）と、前記ステップ（a）によるパルス電圧の印加の後に、前記第1の端子と前記第3の端子との間および前記第3の端子と前記第2の端子との間のいずれか一方にステップ（a）において与えられた極性と逆の極性の第3のパルス電圧を少なくとも1回与えるステップ（b）とを備えることを特徴とする。

【0005】

上記初期化方法では、電気的パルスにより抵抗値が変化する可変抵抗体を2つ直列に接続し、これら2つの可変抵抗体に同極性あるいは逆極性のパルス電圧を印可して2つの可

変抵抗体の抵抗値を減少させた後に、2つの可変抵抗体のいずれか一方に前回とは逆極性のパルス電圧を印可してこの可変抵抗体の抵抗値を増加させる。これにより、2つの可変抵抗体の抵抗値を低い値 (Low) と高い値 (High) の2つの状態に初期化する。

【発明の効果】

【0006】

本発明による初期化方法により初期化された不揮発性メモリを用いれば、従来の不揮発性メモリ素子で課題となっていた、書き込み電力が高い、書き込み時間が長い、書き換え寿命が短い、大容量化 (素子の微細化) が困難等の多くの課題を全て解決することができる。

【発明を実施するための最良の形態】

【0007】

以下、本発明の実施の形態について、図を参照して説明する。

【0008】

図1に、与えられる電気的パルスの極性に応じて抵抗値が変化する可変抵抗1および2を直列に接続し、各可変抵抗の両端に電源端子4および5を設け、可変抵抗を直列に接続した中間点に入出力端子3を設けたメモリセル回路の構成例を示す。

【0009】

本実施例では可変抵抗1, 2の材料として $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ (PCMO) からなるCMR材料を用いた。PCMO材料は、印加されるパルス数に依存して抵抗値が変化し、その変化の方向 (増加するか減少するか) が印加電圧の極性により異なることが特許文献1に報告されているが、そのPCMO材料の抵抗値の初期化方法に関しては明記されていない。そこで我々は、基板温度700℃の基板加熱した状態でスパッタ形成したPCMO材料に異なる極性のパルス電圧を印加した時の抵抗変化のパルス数依存性を調べ、本発明における2つの可変抵抗体を直列に接続した構成のメモリ回路における可変抵抗体の抵抗値の初期化方法を検討した。

【0010】

図1に示した可変抵抗1, 2の各々の構造を図2(a) 2に示す。可変抵抗体1, 2の各々は、基盤12上に下部電極14が形成され、下部電極14の上にPCMO材料11が形成され、PCMO材料11の上に上部電極13が形成されている。図2(b)は、成膜後のPCMO材料11の表面にまず、電源15により一極性のパルス電圧 (-2V) を印加した時の抵抗の変化を示す。なお、ここでは上部電極13と下部電極14との間に上部電極13が一となるようにパルス電圧を印加することを一極性のパルス電圧を印加するといひ、上部電極13が+となるようにパルス電圧を印加することを+極性のパルス電圧を印加するということに定義する。図2(b)に示すように、成膜後のPCMO材料11は約30kΩの高い抵抗値を示していたが、印加される一極性のパルス数の増加にしたがいその抵抗値は減少していき、約29パルス後に約100Ωまで低下した。その後、極性を反転させ+2Vの (+極性の) パルス電圧を印加すると抵抗値は増加していき、39パルス目に9kΩまで増加した。その後、再び極性を反転させ、-2Vの (-極性の) パルス電圧を印加すると抵抗値は再び減少していく傾向を示す。このように初期化を行った後では、可変抵抗に+極性のパルス電圧を与えるとその抵抗値が増加し、一極性のパルス電圧を与えるとその抵抗値が減少するというように、与えるパルス電圧の極性と抵抗値の増加/減少との関係が一義的に定まる。

【0011】

また、図3(a), (b)は、成膜後のPCMO材料11の表面にまず、電源15により+極性のパルス電圧 (+2V) を印加した時の抵抗の変化を示す。先程と同様に、成膜後のPCMO材料11は約30kΩの高い抵抗値を示していたが、印加される+極性のパルス数の増加にしたがいその抵抗値は減少していき、約29パルス後に約100Ωまで低下した。その後、極性を反転させ-2Vの (-極性の) パルス電圧を印加すると抵抗値は増加していき、39パルス目に9kΩまで増加した。その後、再び極性を反転させ、+2Vの (+極性の) パルス電圧を印加すると抵抗値は再び減少していく傾向を示す。このよ

うに初期化を行った後では、可変抵抗に一極性のパルス電圧を与えるとその抵抗値が増加し、+極性のパルス電圧を与えるとその抵抗値が減少するように、与えるパルス電圧の極性と抵抗値の増加／減少との関係が一義的に定まる。

【0012】

本実施例ではパルス電圧の極性を、便宜上PCMO材料11の膜表面に与える電圧の極性と定義して説明したが、回路図で説明する場合は材料の表裏の定義は意味を持たないで、本発明の方法で初期化した可変抵抗体を図2(b)および図3(b)に示すような記号で表記すると、図2で説明した特性も図3で説明した特性も同時に説明できることになる。すなわち初期化後の可変抵抗体を表す記号を、矢印の先端に+極性のパルス電圧が印加されると抵抗値が増加し、矢印の先端に一極性のパルス電圧が印加されると抵抗値が減少する特性を有すると定義すると、図2で説明した方法で初期化した可変抵抗体も図3で説明した方法で初期化した可変抵抗体も同様の記号で説明することができる。したがって、本明細書では図2および図3に示した記号で、本発明の方法で初期化した各可変抵抗体を表すことにする。

【0013】

(第1の実施形態)

次に、第1の実施形態によるメモリ回路の初期化方法について説明する。初期化するメモリ回路の構成は図1および4に示すように、電気的パルスにより抵抗値が変化する可変抵抗体1および可変抵抗体2を電源端子4, 5間に直列に接続し、2つの可変抵抗体1, 2の中間に入出力端子3を設けた構成になっている。

【0014】

初期化の方法は、まず、図4(a)のステップ1に示すように入出力端子3をグランドGNDにした状態で、電源端子4に+2Vのパルス電圧、電源端子5に-2Vのパルス電圧を印加する。これにより可変抵抗体1, 2には同極性のパルス電圧が印加されることになり、2つの可変抵抗体1, 2の抵抗値は図4(b)のステップ1に示すように同じように減少していく。

【0015】

その後、図4(b)のステップ2に示すように電源端子4をグランドにした状態で、電源端子5に先程とは逆極性である+2Vのパルス電圧を印加する。これにより、可変抵抗体2のみにステップ1とは逆極性のパルス電圧が印加され、この可変抵抗体2の抵抗値が増加していく。この結果、2つの可変抵抗体1, 2の抵抗値を低い値(Low)と高い値(High)の2つの状態に(ここでは可変抵抗体1を低い値に、可変抵抗体2を高い値に)初期化することができる。

【0016】

このような方法で2つの可変抵抗体1, 2を初期化したメモリ回路は、図5(a)に示すように電源端子4および5をグランドGNDにした状態で、入出力端子3に+2V(+ECC)のパルス電圧(記録パルス)を印加すると、そのパルス数に依存して可変抵抗体1の抵抗値は増加し、可変抵抗体2の抵抗値は減少するという相補的な変化をする。

【0017】

このように本実施例では、入出力端子3からのパルス電圧の印加により2つの可変抵抗体1, 2の抵抗値を初期値と逆方向に変化させることで情報の記録を行うことが可能となった。また、抵抗値が約2桁変化することから、多ビットの多値情報を記録することが可能となった。また、リセット時には入出力端子3に記録時と逆極性のパルス電圧(本実施例の場合は-2Vのリセットパルス)を印加すれば各可変抵抗値を初期値に戻すことが可能である。なお、本実施例では初期化および記録、リセット時のパルス電圧のパルス幅を100nsec.で実施したが、10nsec.の短いパルス幅でも、同様の結果が得られ、非常に高速での書き込み／消去動作が可能であることがわかった。

【0018】

図6に本実施例のメモリ回路をトランジスタ回路に組み込んでメモリアレイ回路を作成した例を示す。この場合、入出力端子3はトランジスタ10のドレイン(あるいはソース

側)に接続され、電源端子4はプレート線8に、電源端子5はプレート線9に接続され、ワード線6でメモリセルを選択し、ビット線7から情報を入出力する構成になっている。

【0019】

本実施例での可変抵抗体の初期化方法は、ワード線6で全てのメモリセルを選択してビット線7をグランドに落とし、プレート線8に+2V、プレート線9に-2Vのパルス電圧を印加して2つの可変抵抗体1および2の抵抗値を減少させる。その後、プレート線8をグランドに落とし、プレート線9に先程とは逆極性の+2Vの第2のパルス電圧を印加して可変抵抗体2の抵抗値を増加させ、初期状態を決定した。

【0020】

このような初期化を行った後、記録時にはプレート線8およびプレート線9はいずれもグランドに落として、ビット線に+2Vのパルス電圧を印加し、また再生時にはプレート線8はグランドに落とし、プレート線9に+1Vの電圧を印加してビット線の電圧を出力した。またリセット時には、プレート線8およびプレート線9はいずれもグランドに落として、ビット線に-2Vのパルス電圧を印加した。

【0021】

図7(a)に本メモリ回路における可変抵抗1および可変抵抗2の抵抗値の記録時およびリセット時の変化の様子を示す。可変抵抗1および可変抵抗2は+2Vのパルス電圧により相補的に変化することがわかる。また図7(b)は各記録状態を読み出した時の再生出力電圧を示す。記録時のパルス数(記録状態)に応じて異なるレベルの電圧が出力され、異なる記録状態を分解能良く再生でき、1ビット情報のみならず他ビット情報を記録再生できることがわかった。またリセット時には記録時と同数の逆極性のパルス電圧を与えることで、初期状態にリセットできることがわかった。

【0022】

また、本メモリ回路構成は2つの可変抵抗の相補的な変化を利用した構成としているため、図8(a)に示すように、メモリアレイ回路における他のメモリセル、あるいはメモリアレイ回路製造時のSiウエハ上における他のメモリアレイ回路におけるメモリセル回路の可変抵抗1および可変抵抗2の抵抗値の変化量が小さくなったとしても、その出力電圧は図8(b)に示すように、記録時のパルス数(記録状態)に応じた出力電圧は抵抗変化が通常のものとほぼ同一の値となり、抵抗変化が場所によりばらついていても、異なる記録状態を分解能良く再生できることがわかる。またリセット時には記録時と同数の逆極性のパルス電圧を与えることで、初期状態にリセットできることがわかった。

【0023】

このように2つの可変抵抗を直列に接続して相補的に変化させるメモリ構成により、従来の課題であったメモリ素子としての安定な動作および製造歩留まりを大幅に向上させることができた。

【0024】

また、本実施例ではリセット時において記録時と逆極性の同電圧(-2V)を印加した例を示したが、さらに高い電圧(-5V)を印加することにより、リセットパルス数を10パルスから1パルスに大幅に減少させることができる。

【0025】

(第2の実施形態)

第2の実施形態によるメモリ回路の初期化方法について説明する。初期化するメモリ回路の構成は第1の実施形態と同様であり、図1および図9に示すように、電気的パルスにより抵抗値が変化する可変抵抗体1および可変抵抗体2を2つ直列に接続し、可変抵抗体1, 2の両端に電源端子4および電源端子5、2つの可変抵抗体1, 2の中間に入出力端子3を設けた構成になっている。

【0026】

そして初期化の方法は、図5(a)のステップ1に示すように入出力端子3はグランドGNDにした状態で、電源端子4に-2Vのパルス電圧、電源端子5に+2Vのパルス電圧を印加する。これにより、2つの可変抵抗体1, 2には図9(a)に示すような同極性

のパルス電圧が印加されることになり、図9 (b) に示すように2つの可変抵抗体1, 2の抵抗値は同じように減少していく。その後、図9 (a) のステップ2に示すように電源端子4をグランドGNDにした状態で、電源端子5に先程とは逆極性である -2V のパルス電圧を印加する。これにより、可変抵抗体2のみにステップ1におけるのとは逆極性のパルス電圧が印加され、これにより図9 (b) に示すように可変抵抗体2の抵抗値が増加していき、2つの可変抵抗体1, 2の抵抗値を低い値 (Low) と高い値 (High) の2つの状態に初期化することができる。

【0027】

このような方法で2つの可変抵抗体1, 2を初期化したメモリ回路は、電源端子4および5をグランドGNDにした状態で、入出力端子3に -2V のパルス電圧を印加すると、そのパルス数に依存して可変抵抗体1の抵抗値は増加し、可変抵抗体2の抵抗値は減少するという相補的な変化をする。このように本実施形態でも、入出力端子3からのパルス電圧の印加により2つの可変抵抗体1, 2の抵抗値を初期値と逆方向に変化させることで実施形態1と同様に情報の記録を行うことができた。

【0028】

また、このように2つの可変抵抗1, 2を直列に接続して相補的に変化させるメモリ構成により、従来の課題であったメモリ素子としての安定な動作および製造歩留まりを大幅に向上させることができた。

【0029】

(第3の実施形態)

第3の実施形態によるメモリ回路の初期化方法について説明する。初期化するメモリ回路の構成は第1, 第2の実施形態と同様であり、図1および図10に示すように、電気的パルスにより抵抗値が変化する可変抵抗体1および可変抵抗体2を2つ直列に接続し、可変抵抗体1, 2の両端に電源端子4および電源端子5、2つの可変抵抗体1, 2の中間に入出力端子3を設けた構成になっている。

【0030】

そして初期化の方法は、図10 (a) のステップ1に示すように入出力端子3はグランドGNDにした状態で、電源端子4に $+2\text{V}$ のパルス電圧、電源端子5にも同極性の $+2\text{V}$ のパルス電圧を印加する。これにより、2つの可変抵抗体1, 2には図10 (a) のステップ1に示すような逆極性のパルス電圧が印加されることになるが、図10 (b) に示すように2つの可変抵抗体1, 2の抵抗値は同じように減少していく。

【0031】

その後、電源端子4をグランドGNDにした状態で、電源端子5に先程とは逆極性である -2V のパルス電圧を印加する。これにより、可変抵抗体2のみにステップ1におけるのとは逆極性のパルス電圧が印加され、この可変抵抗体2の抵抗値が増加していき、2つの可変抵抗体1, 2の抵抗値を低い値 (Low) と高い値 (High) の2つの状態に初期化することができる。

【0032】

このような方法で2つの可変抵抗体1, 2を初期化したメモリ回路は、図11に示すように、入出力端子3に、一組の -1V のパルス電圧と $+1\text{V}$ のパルス電圧からなる記録パルス電圧を印加し、それと同期して、電源端子5には、一組の $+1\text{V}$ のパルス電圧と $+1\text{V}$ パルス電圧からなるパルス電圧を、電源端子4には、一組の -1V のパルス電圧と -1V パルス電圧からなるパルス電圧をそれぞれ印加する。これにより、図11 (b) に示すように2つの可変抵抗体1, 2の抵抗値を逆方向に変化させることができ、入出力端子3からのパルス電圧の印加により2つの可変抵抗体1, 2の抵抗値を初期値と逆方向に変化させることで情報の記録を行うことができた。また、抵抗値が約2桁変化することから、多ビットの多値情報を記録することが可能となった。また、リセット時には入出力端子3に、一組の -1V のパルス電圧と $+1\text{V}$ のパルス電圧からなるパルス電圧からなるリセットパルス電圧を印加し、それと同期して、電源端子5には、一組の -1V のパルス電圧と -1V パルス電圧からなるパルス電圧を、電源端子4には、一組の $+1\text{V}$ のパルス電圧と

+1 Vパルス電圧からなるパルス電圧をそれぞれ印加する。これにより、図11 (b) に示すように2つの可変抵抗体1, 2の抵抗値を逆方向に変化させることができ、2つの可変抵抗体の抵抗値を初期値に戻すことが可能である。

【0033】

本実施例では初期化および記録、リセット時のパルス電圧のパルス幅を100 nsecで実施したが、10 nsecの短いパルス幅でも、同様の結果が得られ、非常に高速での書き込み/消去動作が可能であることがわかった。

【0034】

また、このように2つの可変抵抗1, 2を直列に接続して相補的に変化させるメモリ構成により、従来の課題であったメモリ素子としての安定な動作および製造歩留まりを大幅に向上させることができた。

【0035】

(第4の実施形態)

第4の実施形態によるメモリ回路の初期化方法について説明する。初期化するメモリ回路の構成は第1～第3の実施形態と同様であり、図1および図12に示すように、電気的パルスにより抵抗値が変化する可変抵抗体1および可変抵抗体2を2つ直列に接続し、可変抵抗体1, 2の両端に電源端子4および電源端子5、2つの可変抵抗体1, 2の中間に入出力端子3を設けた構成になっている。

【0036】

そして初期化の方法は、図12 (a) のステップ1に示すように入出力端子3はグランドGNDにした状態で、電源端子4に-2 Vのパルス電圧、電源端子5にも同極性の-2 Vのパルス電圧を印加する。これにより、2つの可変抵抗体1, 2には図12 (a) のステップ1に示すような逆極性のパルス電圧が印加されることになるが、図12 (b) に示すように2つの可変抵抗体1, 2の抵抗値は同じように減少していく。その後、電源端子4をグランドGNDにした状態で、電源端子5に先程とは逆極性である+2 Vのパルス電圧を印加する。これにより、可変抵抗体2だけにステップ1におけるのとは逆極性のパルス電圧が印加される。これにより可変抵抗体2の抵抗値が増加していき、2つの可変抵抗体1, 2の抵抗値を低い値 (Low) と高い値 (High) の2つの状態に初期化することができる。

【0037】

このような方法で2つの可変抵抗体1, 2を初期化したメモリ回路も、第3の実施形態で説明した回路と同様、非常に高速での書き込み/消去動作が可能であることがわかった。

【0038】

また、このように2つの可変抵抗1, 2を直列に接続して相補的に変化させるメモリ構成により、従来の課題であったメモリ素子としての安定な動作および製造歩留まりを大幅に向上させることができた。

【産業上の利用可能性】

【0039】

本発明による初期化方法により初期化された不揮発性メモリは、低電力、高速書き込み・消去、大容量化が可能な有用なメモリである。

【図面の簡単な説明】

【0040】

【図1】 本発明の実施形態において初期化されるメモリ回路の構成を示す図である。

【図2】 (a) は、図1に示したメモリ回路における可変抵抗体の構造を示す図であり、(b) は、(a) に示した可変抵抗体の表面に一極性のパルス電圧を印加して初期化する過程での抵抗値の変化および可変抵抗体の初期化後の記号を示す図である。

【図3】 (a) は、図1に示したメモリ回路における可変抵抗体の構造を示す図であり、(b) は、(a) に示した可変抵抗体の表面に+極性のパルス電圧を印加して初期化する過程での抵抗値の変化および可変抵抗体の初期化後の記号を示す図である。

【図 4】第 1 の実施形態によるメモリ回路の初期化方法を説明するための図である。

【図 5】第 1 の実施形態における記録時の抵抗変化および各記録状態での再生出力電圧、リセット時の抵抗変化および出力電圧の変化を示す図である。

【図 6】第 1 の実施形態におけるメモリアレイ回路を示す図。

【図 7】第 1 の実施形態での、記録／リセット時でのメモリセルを構成する可変抵抗体の抵抗変化および出力変化を示す図である。

【図 8】第 1 の実施形態での、記録／リセット時での他のメモリセル（抵抗変化が小さい場合）を構成する可変抵抗体の抵抗変化および出力変化を示す図である。

【図 9】第 2 の実施形態によるメモリ回路の初期化方法を説明するための図である。

【図 10】第 3 の実施形態によるメモリ回路の初期化方法を説明するための図である。

【図 11】第 3 の実施形態における記録時の抵抗変化および各記録状態での再生出力電圧、リセット時の抵抗変化および出力電圧の変化を示す図である。

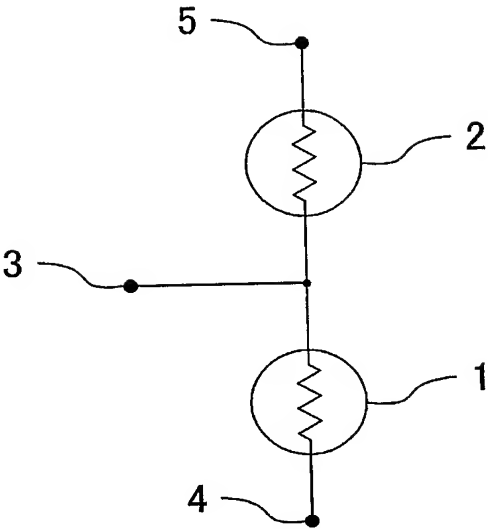
【図 12】第 4 の実施形態によるメモリ回路の初期化方法を説明するための図である。

【符号の説明】

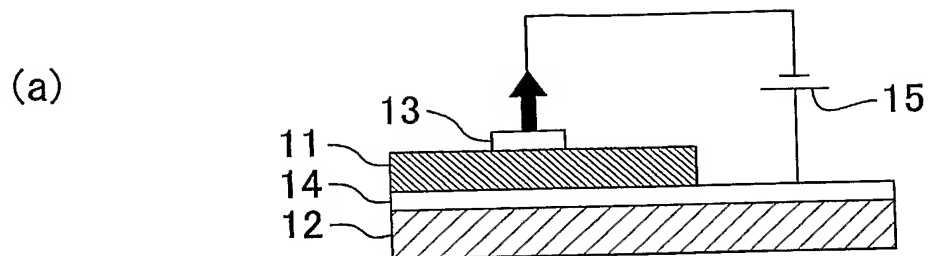
【0041】

- 1 . . . 可変抵抗体
- 2 . . . 可変抵抗体
- 3 . . . 入出力端子
- 4 . . . 電源端子
- 5 . . . 電源端子
- 6 . . . ワード線
- 7 . . . ビット線
- 8 . . . プレート線
- 9 . . . プレート線
- 10 . . . トランジスタ
- 11 . . . PCMO 材料
- 12 . . . 基板
- 13 . . . 上部電極
- 14 . . . 下部電極
- 15 . . . 電源

【書類名】 図面
【図 1】

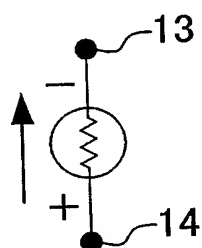


【図 2】

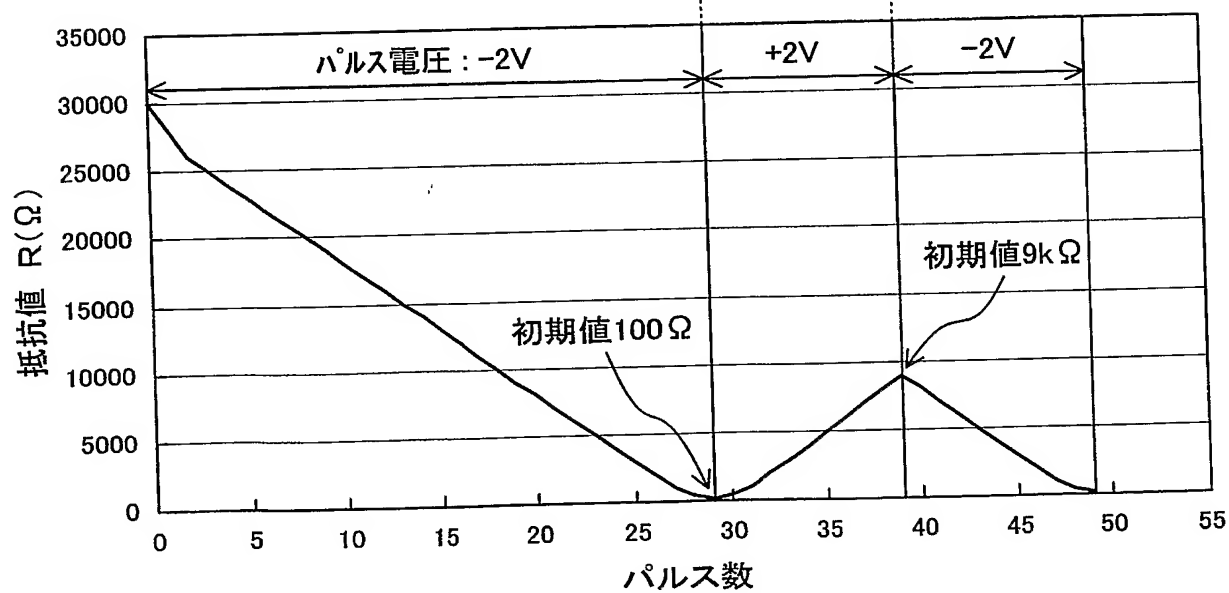
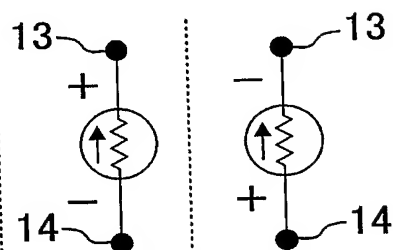


(b)

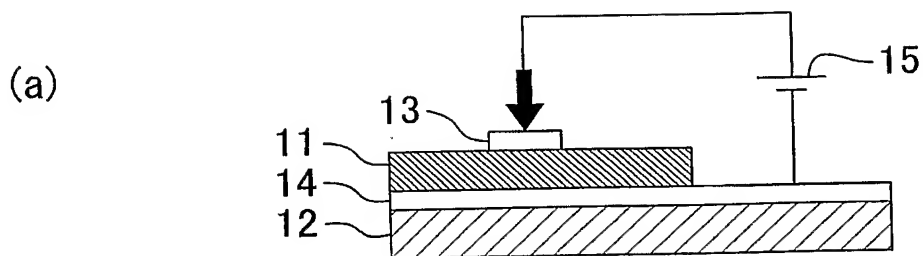
可変抵抗体の記号



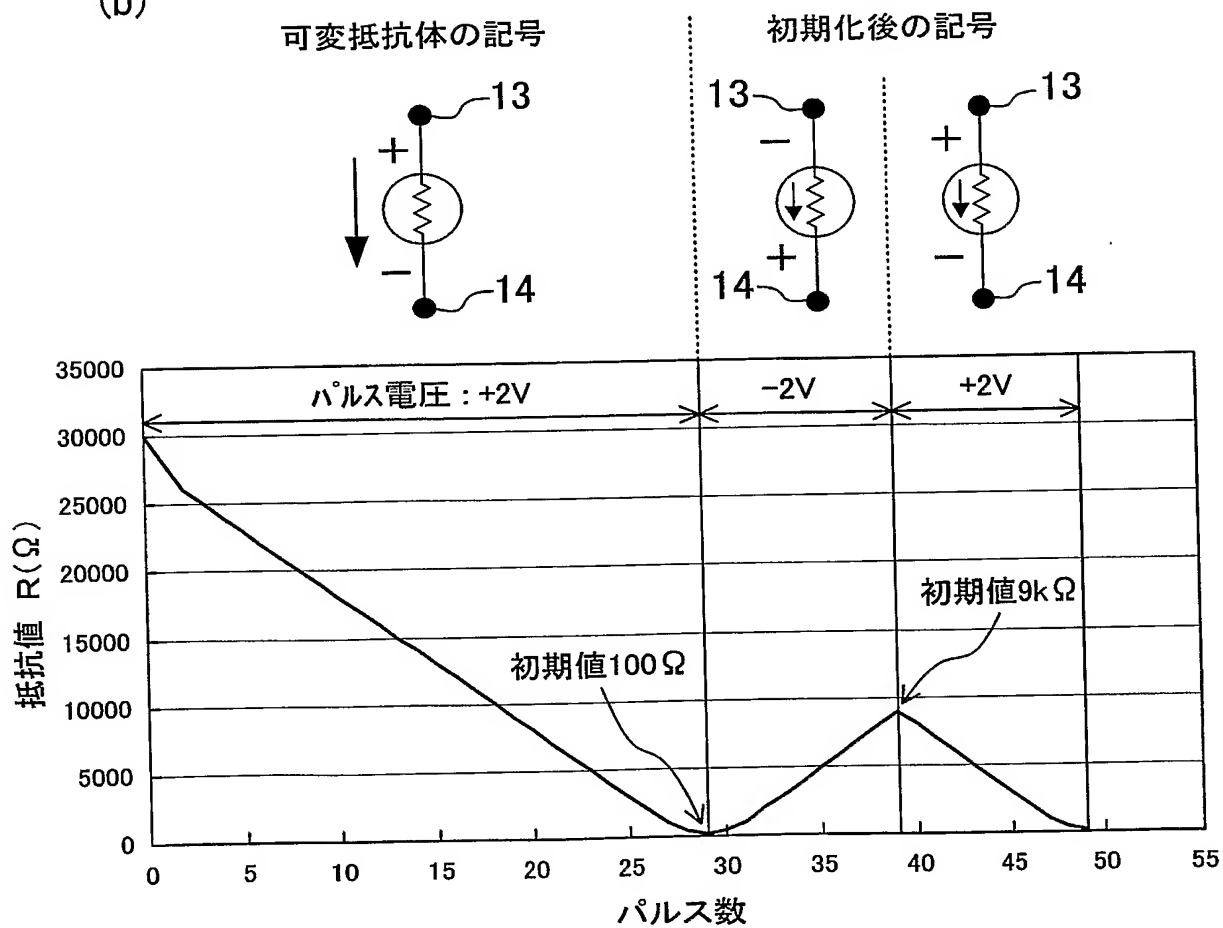
初期化後の記号



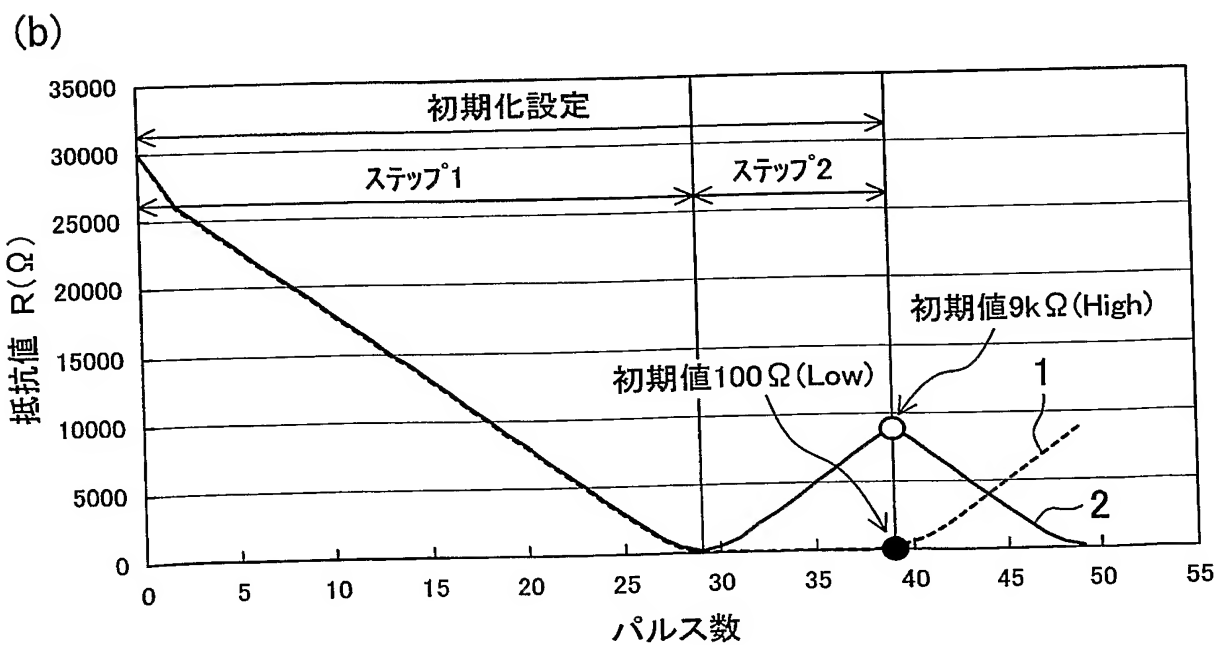
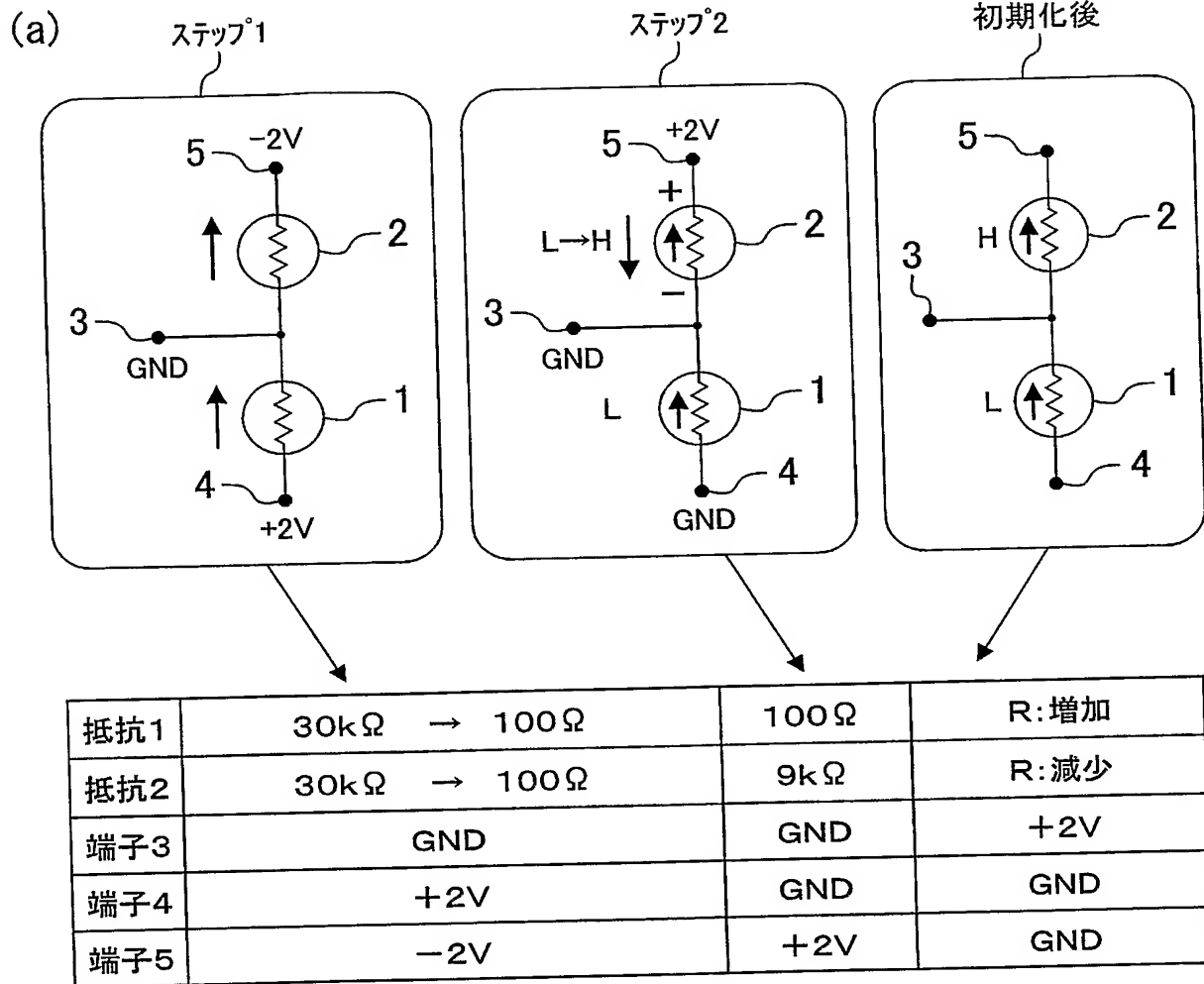
【図 3】



(b)

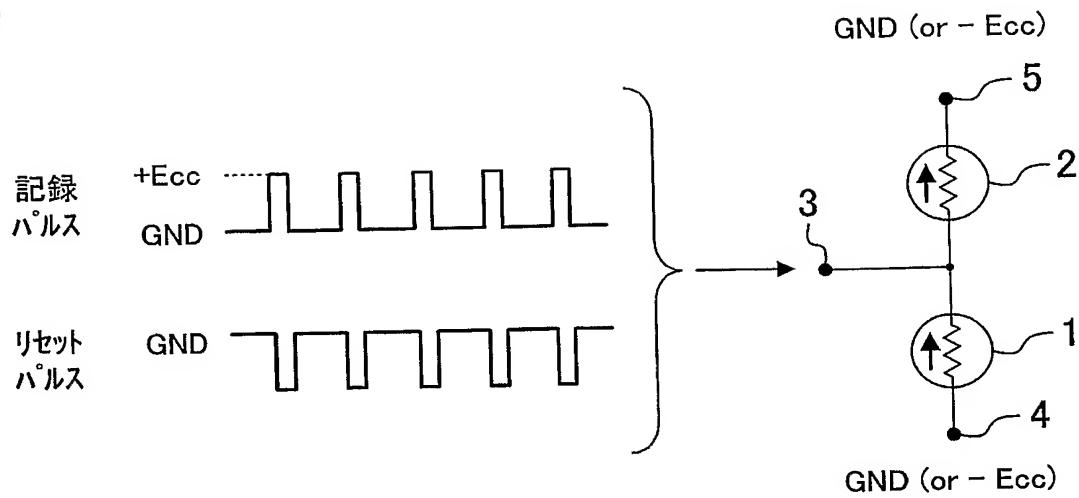


【図 4】

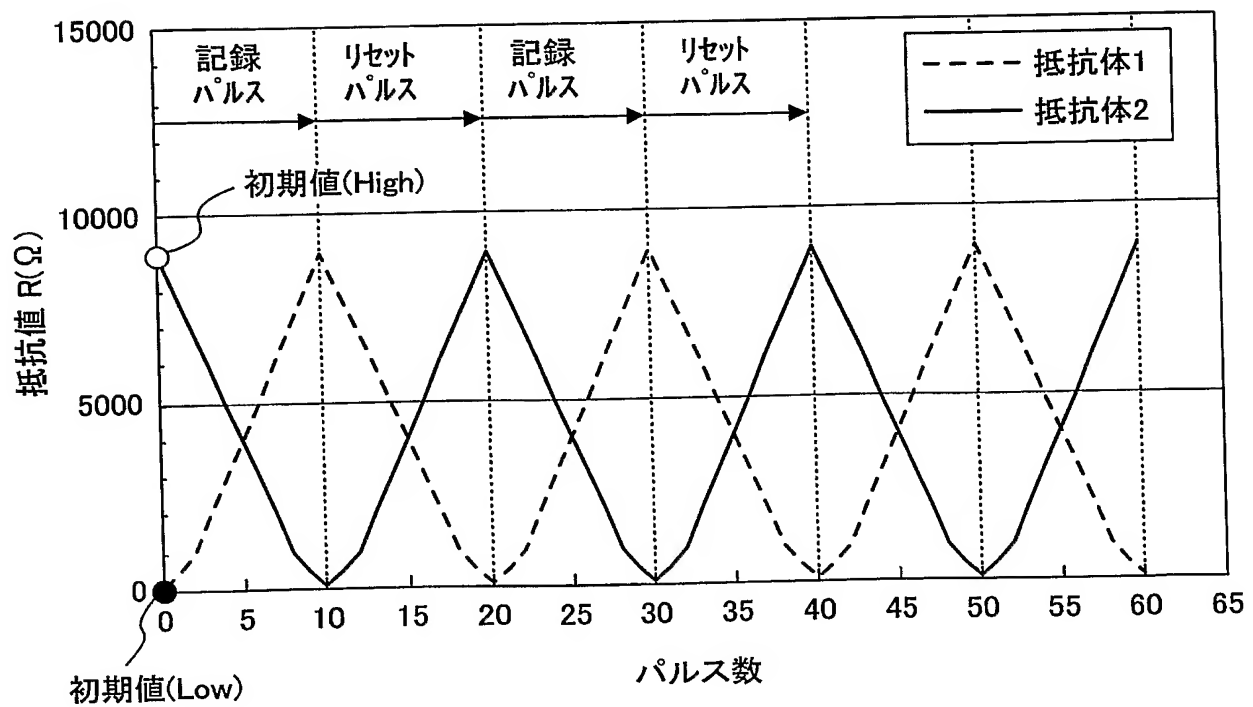


【図 5】

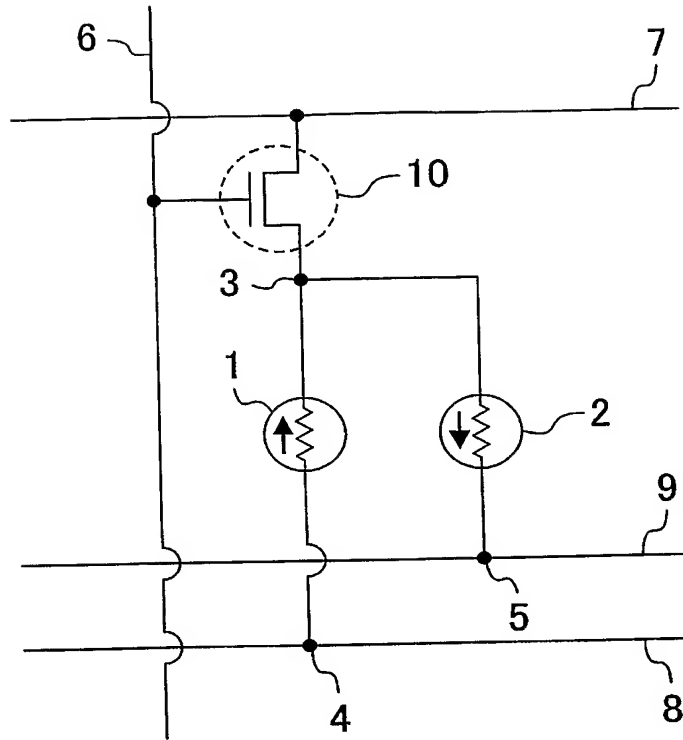
(a)



(b)

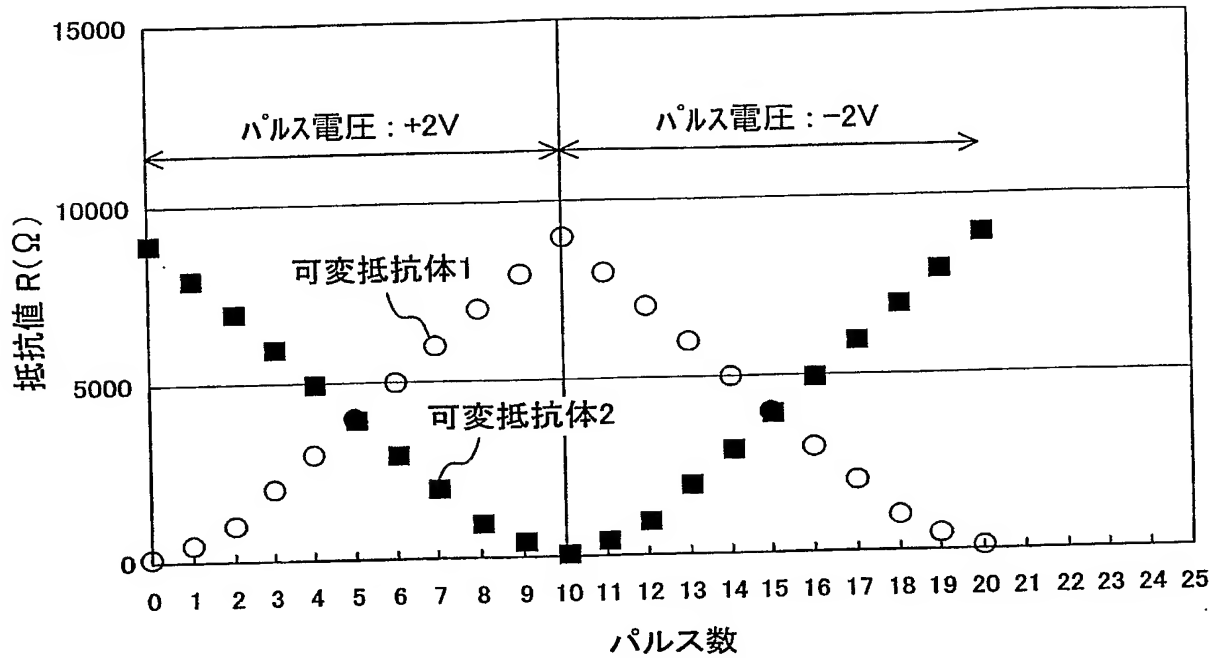


【図 6】

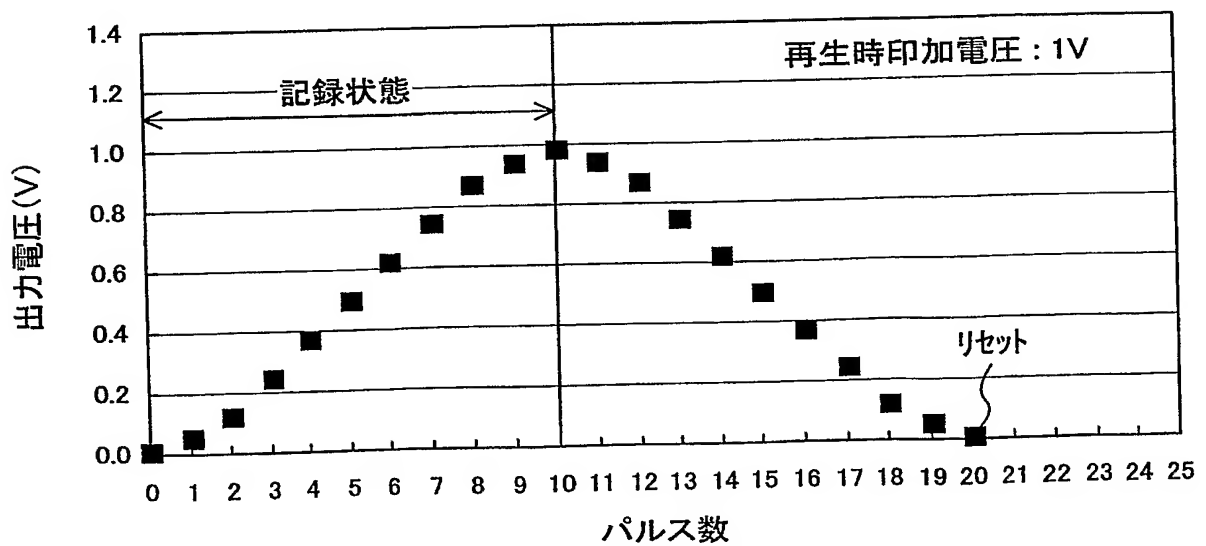


【図 7】

(a) パルス数による抵抗変化

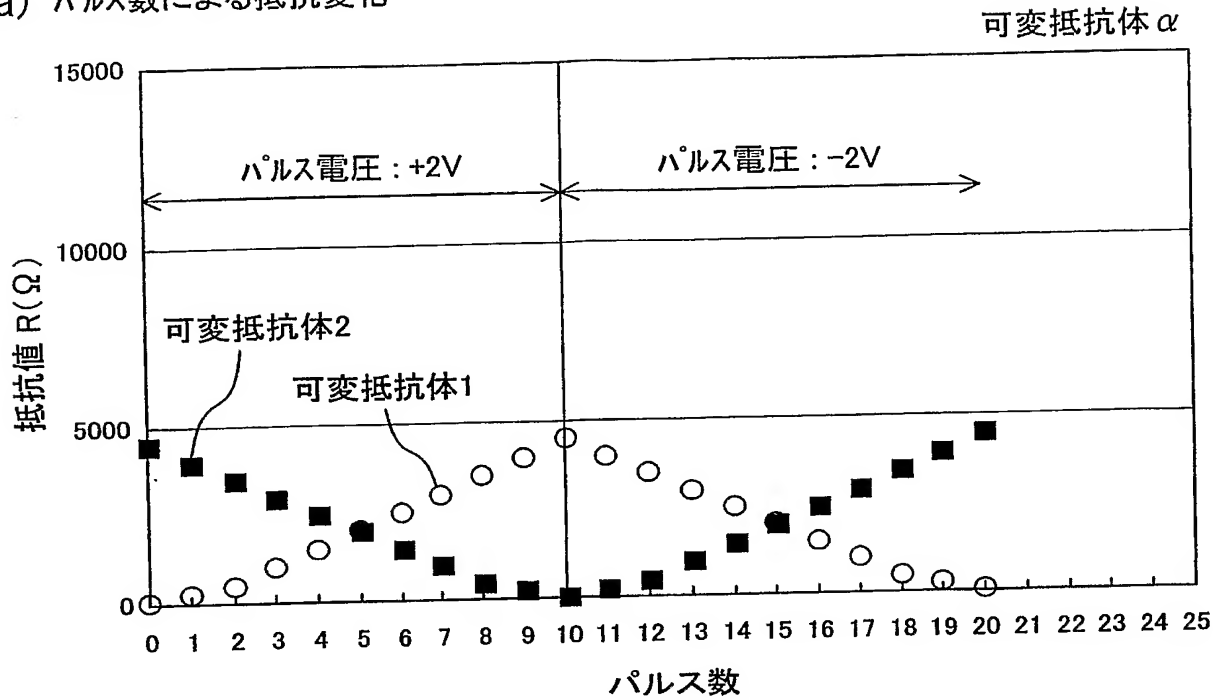


(b) 記録状態を読み出した時の出力電圧

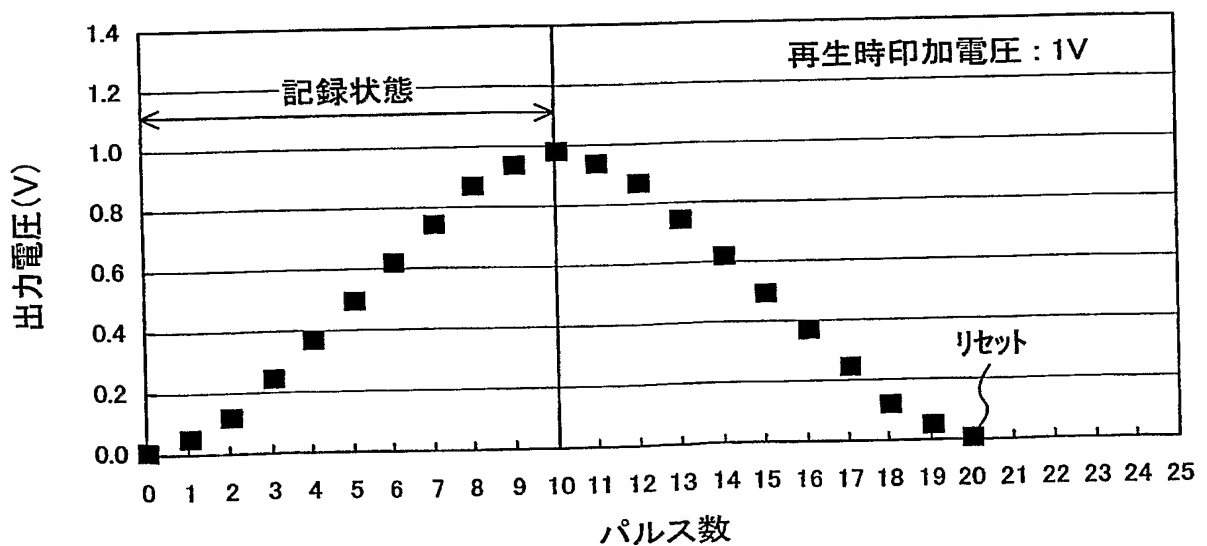


【図 8】

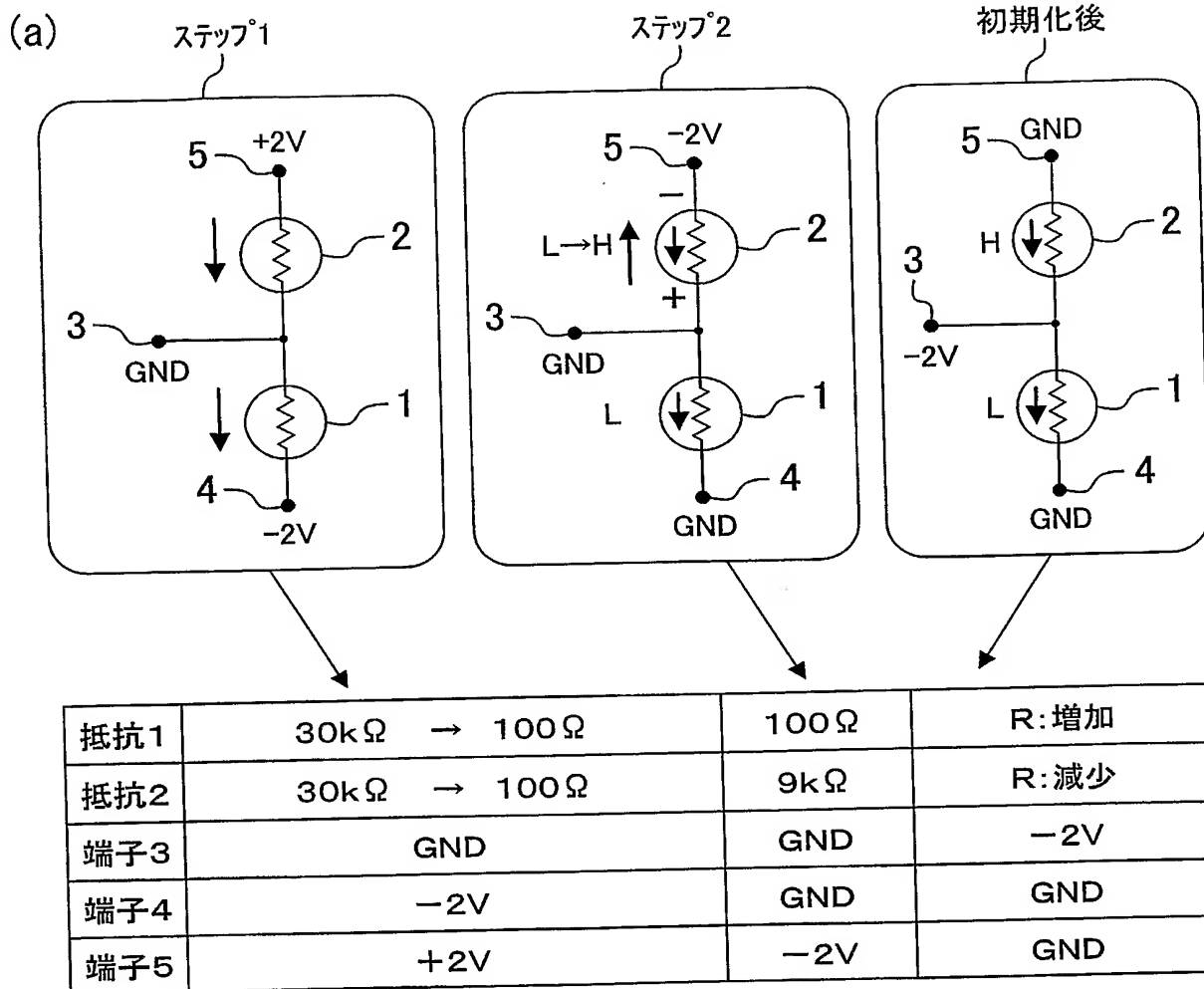
(a) パルス数による抵抗変化



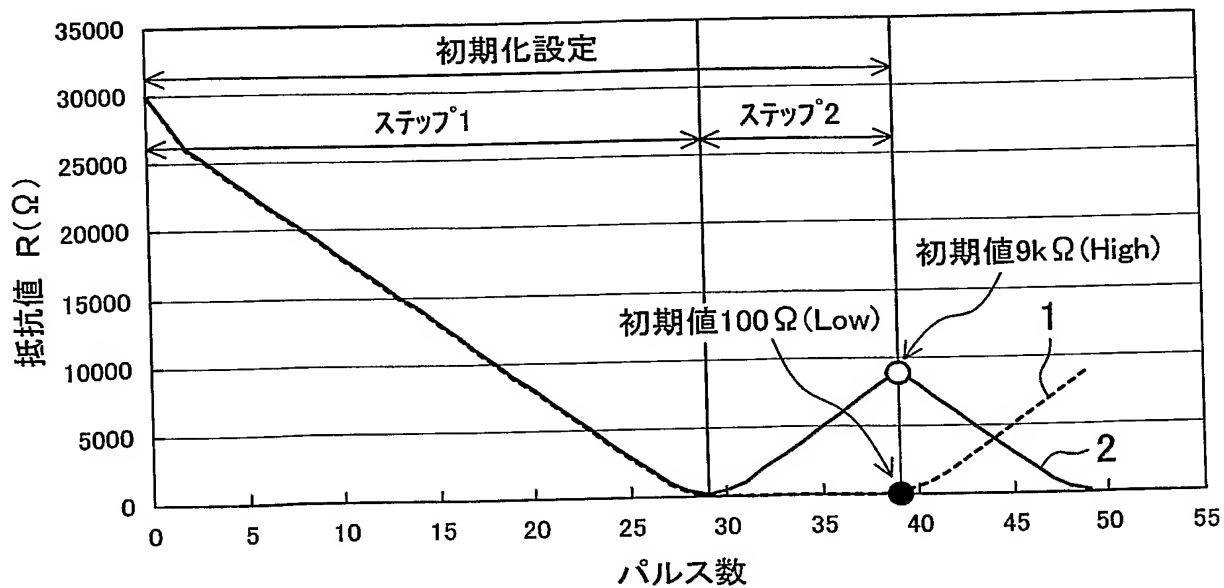
(b) 記録状態を読み出した時の出力電圧



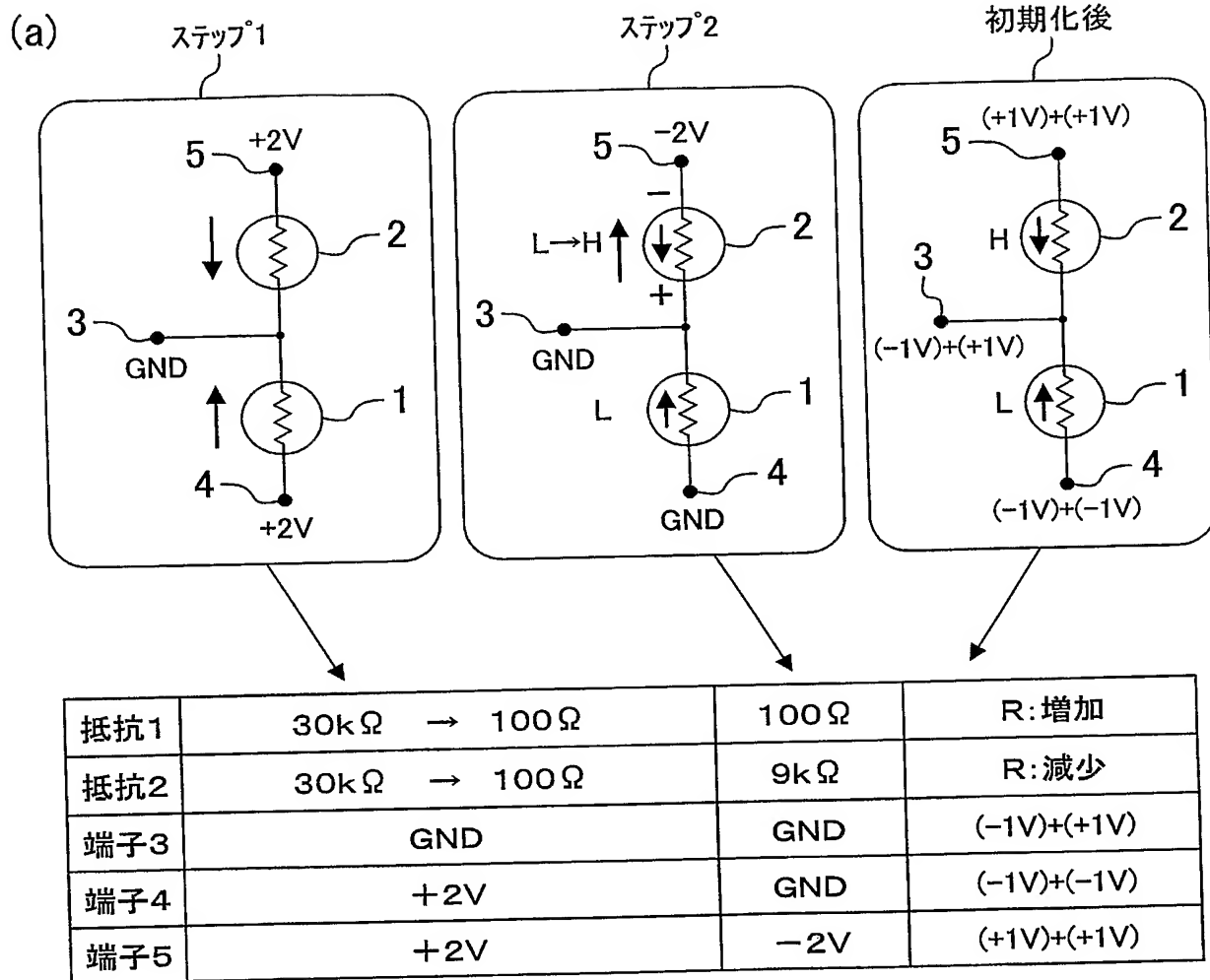
【図 9】



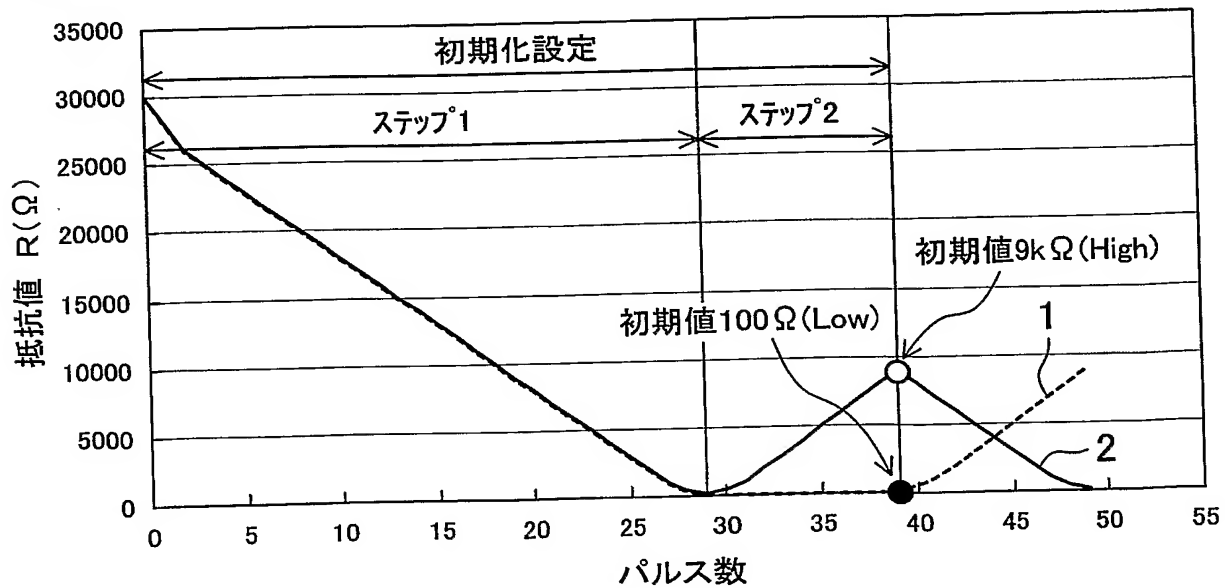
(b)



【図10】

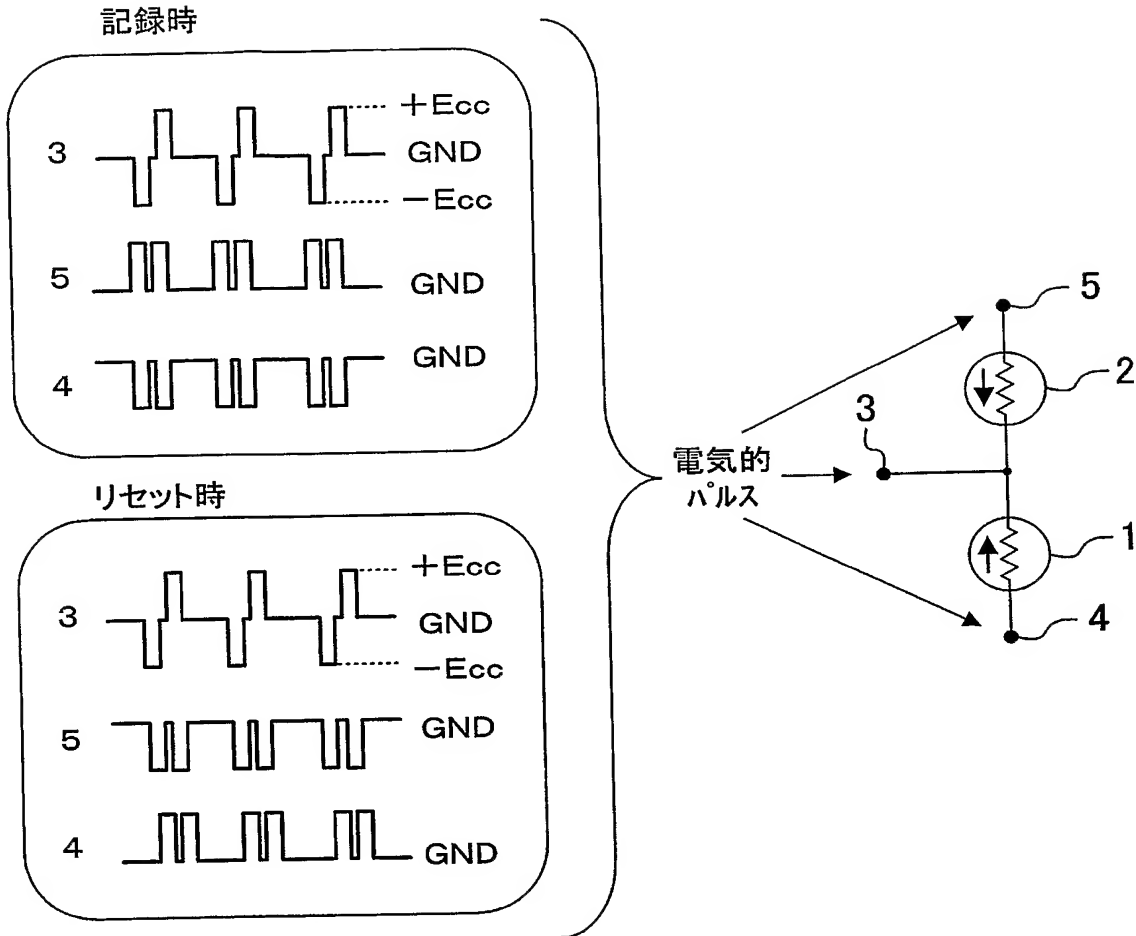


(b)

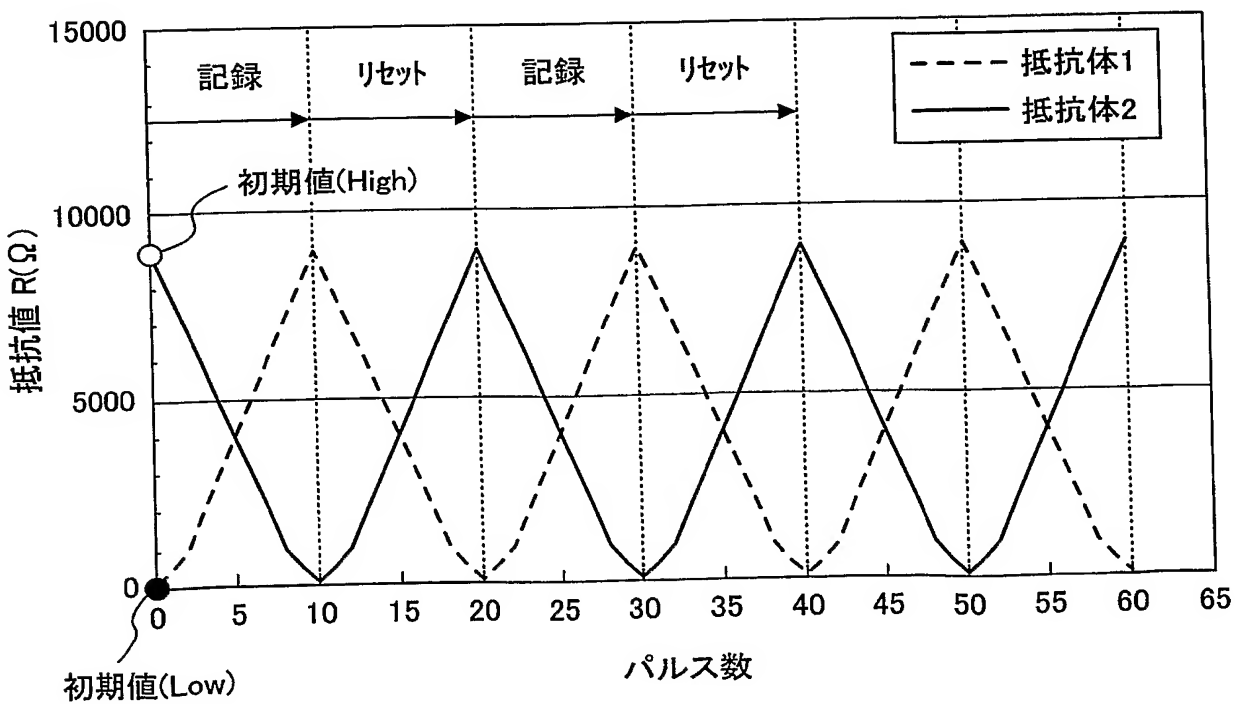


【図 11】

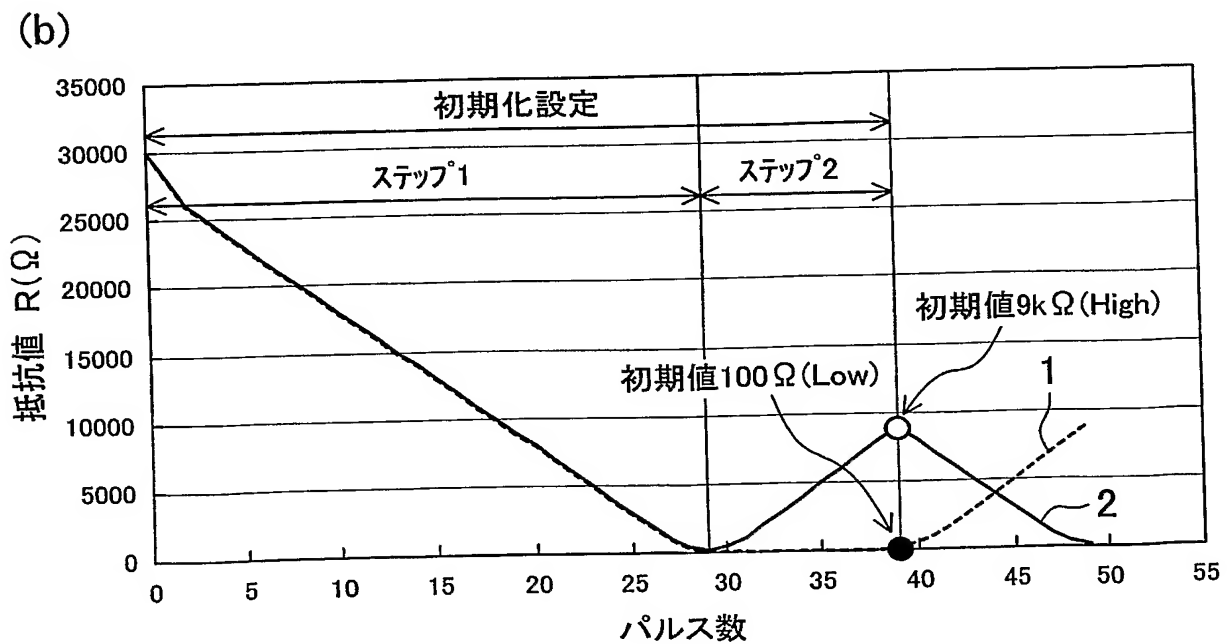
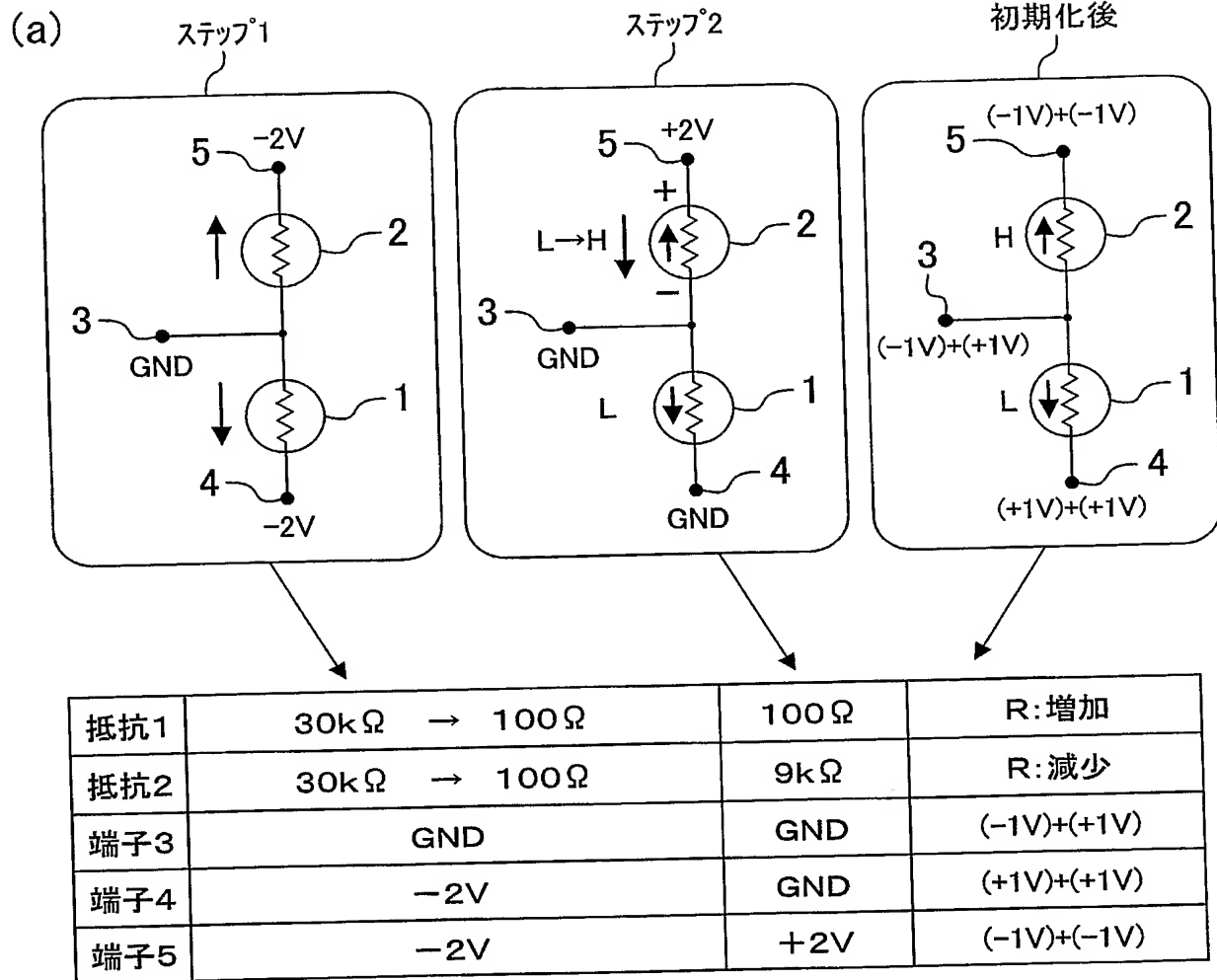
(a)



(b)



【図 12】



【書類名】 要約書**【要約】**

【課題】 現状の不揮発性メモリ素子であるフラッシュメモリは書き込み電力が高い、書き込み・消去時間が長い、書き換え寿命が短い、大容量化（素子の微細化）が困難、生産性が悪い等の多くの課題を有している。そのため現在これらの課題を解決すべく、新規メモリの開発が行われているが、上記課題解決を満たす不揮発性メモリ素子がないのが現状である。

【解決手段】 電氣的パルスにより抵抗値が変化する可変抵抗体 1, 2 を 2 つ直列に接続し、可変抵抗体 1, 2 の両端に電源端子 4, 5、中間に入出力端子 3 を設けた構造のメモリ回路を次のように初期化する。2 つの可変抵抗体 1, 2 に同極性あるいは逆極性のパルス電圧を印可して、2 つの可変抵抗体 1, 2 の抵抗値を減少させた後に、2 つの可変抵抗体 1, 2 のいずれか一方に先ほど印加したパルス電圧と逆極性のパルス電圧を印可して、この可変抵抗体の抵抗値を増加させることで、2 つの可変抵抗体 1, 2 の抵抗値を低い値 (Low) と高い値 (High) の 2 つの状態に初期化する。

【選択図】 図 4

特願 2 0 0 3 - 4 3 5 5 0 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社